

For 10/773,592

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208745

(P2000-208745A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 C
21/8242		21/88	K
21/3205		27/04	H
27/04			
21/822			

審査請求 未請求 請求項の数38 O L (全 10 頁)

(21) 出願番号 特願2000-6225(P2000-6225)
 (22) 出願日 平成12年1月12日 (2000.1.12)
 (31) 優先権主張番号 60/115703
 (32) 優先日 平成11年1月12日 (1999.1.12)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 09/383806
 (32) 優先日 平成11年8月26日 (1999.8.26)
 (33) 優先権主張国 米国 (US)

(71) 出願人 596092698
 ルーセント テクノロジーズ インコーポ
 レーテッド
 アメリカ合衆国, 07974-0636 ニュージ
 ャーシー, マレイ ヒル, マウンテン ア
 ヴェニュー 600
 (72) 発明者 チュン-ユン サン
 アメリカ合衆国 32819 フロリダ, オー
 ランド, ウインドブレイク ロード 7721
 (74) 代理人 100064447
 弁理士 岡部 正夫 (外11名)

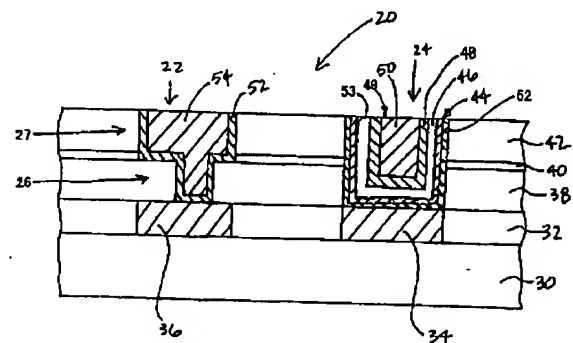
最終頁に続く

(54) 【発明の名称】 デュアル・ダマシン相互接続構造および金属電極コンデンサを有する集積回路デバイスとその製造方法

(57) 【要約】

【課題】 本発明は、コンデンサを有する集積回路デバイスに関する。

【解決手段】 集積回路デバイスおよびその製造方法は、相互接続構造およびコンデンサを含む。相互接続構造は、金属線および接点を含み、コンデンサは上部および下部金属電極を含む。この方法は、半導体基板に隣接する誘電体層を形成することと、第一誘電体層において相互接続構造の第一開口部およびコンデンサの第二開口部を同時に形成することとを含む。この方法は、相互接続構造を形成するために、第一導電層を選択的にデポジットさせて、第一開口部を充填することと、第二開口部にコンデンサを形成するために、その間にコンデンサ誘電体を有する上部および下部金属電極を形成することとを含む。集積回路デバイスは、金属電極を有し、デュアル・ダマシン構造にも使用でき、統合される高密度コンデンサを提供する。この様に、コンデンサは、デュアル・ダマシン相互接続構造と同一レベルに位置される。



【特許請求の範囲】

【請求項1】 金属線および接点を含む相互接続構造および上部および下部金属電極を含むコンデンサとを含む集積回路デバイスの製造方法であって、

半導体基板に隣接する誘電体層を形成するステップと、前記誘電体層内に前記相互接続構造の第一開口部と、前記コンデンサの第二開口部とを同時に形成するステップと、

前記第一開口部を充填させ、前記相互接続構造を形成するために第一導電層を選択的にデポジットさせるステップと、

前記第二開口部に前記コンデンサを形成するために、前記上部および下部金属電極をその間にコンデンサ誘電体を入れた状態で形成するステップとを含む方法。

【請求項2】 請求項1に記載の方法において、前記第一開口部および前記第二開口部を同時に形成するステップが、

前記第一開口部の上部部分および前記第二開口部の上部部分を同時に形成することと、

前記第一開口部の下部部分および前記第二開口部の下部部分を同時に形成することを含む方法。

【請求項3】 請求項2に記載の方法において、前記第一開口部の前記上部部分が前記第一開口部の前記下部部分より幅が広く、前記第二開口部の前記上部部分が前記第二開口部の前記下部部分とほぼ幅が同じである方法。

【請求項4】 請求項1に記載の方法において、前記誘電体層を形成するステップが前記半導体基板に隣接する下部誘電体層部分を形成することと、

前記下部誘電体層部分上にエッチング・ストップ層を形成することと、

前記エッチング・ストップ層上に上部誘電体層部分を形成することを含む方法。

【請求項5】 請求項4に記載の方法において、前記第一開口部および前記第二開口部を同時に形成するステップが、

前記上部誘電体層部分および前記エッチング・ストップ層において、前記第一開口部の上部部分および前記第二開口部の上部部分を同時に形成することと、

前記下部誘電体層部分において前記第一開口部の下部部分および前記第二開口部の下部部分を同時に形成することと、

前記第一開口部の前記上部部分が、前記第一開口部の前記下部部分よりも幅が広く、前記第二開口部の前記上部部分が前記第二開口部の下部部分とほぼ同じ幅であることを含む方法。

【請求項6】 請求項1に記載の方法において、前記第一開口部にある導電層を選択的にデポジットさせるステップが、前記第二開口部をマスクしながら銅を電着させることを含む方法。

【請求項7】 請求項1に記載の方法において、前記第

一開口部にある導電層を選択的にデポジットさせるステップが、

少なくとも前記第一開口部を整列させるために、バリア金属層をデポジットさせることと、

前記整列された第一開口部を充填するために銅を電着させることとを含む方法。

【請求項8】 請求項7に記載の方法において、前記バリア金属層が窒化タンタルを含む方法。

【請求項9】 請求項1に記載の方法において、前記第二開口部にコンデンサを形成するステップが、

少なくとも前記第二開口部を整列させ、そして前記下部金属電極を形成するために、下部金属層をデポジットさせることと、

前記下部金属層上に前記コンデンサ誘電体層を形成することと、

前記上部金属電極を形成するために前記コンデンサ誘電体層上に上部金属層をデポジットさせることと、

前記第二開口部の残りの部分を充填するために第二導電層をデポジットさせることとを含む方法。

【請求項10】 請求項9に記載の方法において、前記第二導電層が銅を含む方法。

【請求項11】 請求項1に記載の方法において、前記コンデンサの上部および下部金属電極が窒化タンタルを含む方法。

【請求項12】 請求項1に記載の方法において、前記コンデンサ誘電体が約25以上の誘電率を有する方法。

【請求項13】 請求項1に記載の方法において、前記誘電体層内にコンデンサ接点を形成するステップと、前記相互接続構造の前記金属線と前記コンデンサの下部金属電極とを電氣的に接続するステップとをさらに含む方法。

【請求項14】 金属線および金属接点を含む相互接続構造および上部および下部金属電極を含むコンデンサとを含む集積回路デバイスを製造する方法であって、

半導体基板に隣接する誘電体層を形成するステップと、前記誘電体層において前記相互接続構造に第一開口部および前記コンデンサに第二開口部を同時に形成するステップと、

前記第二開口部上をマスクするステップと、

前記第一開口部を充填するために、第一金属導電層を選択的にデポジットさせるステップと、

前記第二開口部からマスクを除去するステップと、少なくとも前記第二開口部を整列させて、前記コンデンサの下部金属電極を形成するために下部金属層をデポジットさせるステップと、

前記コンデンサのコンデンサ誘電体を形成するために、前記下部金属層上にコンデンサ誘電体層を形成するステップと、

前記コンデンサの上部金属電極の一部を形成するために、前記コンデンサ誘電体層上に上部金属層をデポジ

トさせるステップと、

前記第二開口部の残りの部分を充填し、前記コンデンサの上部金属電極の一部を形成するために、第二導電層をデポジットさせるステップと、

前記集積回路デバイスの上部表面を平面化するステップとを含む方法。

【請求項15】 請求項14に記載の方法において、前記第一開口部および第二開口部を同時に形成するステップが、

前記第一開口部の上部部分および前記第二開口部の上部部分を同時に形成することと、

前記第一開口部の下部部分および前記第二開口部の下部部分を同時に形成することと、

前記第一開口部の前記上部部分が、前記第一開口部の前記下部部分より幅が広く、前記第二開口部の前記上部部分が、前記第二開口部の前記下部部分とほぼ同じ幅であることとを含む方法。

【請求項16】 請求項14に記載の方法において、前記誘電体層を形成するステップが、

前記半導体基板に隣接した下部誘電体層部分を形成することと、

前記下部誘電体層部分の上にエッチング・ストップ層を形成することと、

前記エッチング・ストップ層上に上部誘電体層部分を形成することを含む方法。

【請求項17】 請求項16に記載の方法において、前記第一開口部および第二開口部を同時に形成するステップが、

前記上部誘電体層部分および前記エッチング・ストップ層において前記第一開口部の上部部分および前記第二開口部の上部部分を同時に形成することと、

前記下部誘電体層において前記第一開口部の下部部分および前記第二開口部の下部部分を同時に形成することと、

前記第一開口部の前記上部部分が、前記第一開口部の前記下部部分より幅が広く、前記第二開口部の前記上部部分が前記第二開口部の前記下部部分とほぼ同じ幅であることとを含む方法。

【請求項18】 請求項14に記載の方法において、前記第一開口部において導電層を選択的にデポジットさせるステップが、銅を電着させることを含む方法。

【請求項19】 請求項14に記載の方法において、前記第一開口部において導電層を選択的にデポジットさせるステップが、

少なくとも前記第一開口部を整列させるために、バリや金属層をデポジットさせることと、

前記整列させた第一開口部を充填させるために、銅を電着させることとを含む方法。

【請求項20】 請求項19に記載の方法において、前記バリや金属層が窒化タンタルを含む方法。

【請求項21】 請求項14に記載の方法において、前記上部および下部金属電極が窒化タンタルを含む方法。

【請求項22】 請求項14に記載の方法において、前記コンデンサ誘電体層が、約25以上の誘電率を有する方法。

【請求項23】 請求項14に記載の方法において、前記第二導電層が銅を含む方法。

【請求項24】 請求項14に記載の方法において、前記誘電体層内にコンデンサ接点を形成し、前記相互接続構造の金属線と、前記コンデンサの下部金属電極を電気的に接続するステップとをさらに含む方法。

【請求項25】 集積回路デバイスであって、半導体基板と、

その中に第一および第二開口部を有する前記半導体基板に隣接した誘電体層と、

前記第一開口部にあり、それに従属する金属線および金属接点を含む相互接続構造と、

前記第二開口部にあり、その間にコンデンサ誘電体層を有する上部および下部金属電極を含むコンデンサとを備える集積回路デバイス。

【請求項26】 請求項25に記載の集積回路デバイスにおいて、前記コンデンサが前記誘電体層の隣接する上部表面部分とほぼ同一の高さで、ほぼ平面的な上部表面を有する集積回路デバイス。

【請求項27】 請求項26に記載の集積回路デバイスにおいて、前記下部電極および前記コンデンサ誘電体層の先端が、前記コンデンサの上部表面で終わる集積回路デバイス。

【請求項28】 請求項25に記載の集積回路デバイスにおいて、前記金属線が前記金属接点より幅が広く、前記第二開口部がほぼ均一の幅を持っている集積回路デバイス。

【請求項29】 請求項25に記載の集積回路デバイスにおいて、前記誘電体層が、

前記半導体基板に隣接した下部誘電体層部分と、

前記下部誘電体層部分上のエッチング・ストップ層と、前記エッチング・ストップ層上の上部誘電体層部分とを含む集積回路デバイス。

【請求項30】 請求項29に記載の集積回路デバイスにおいて、前記金属線が、前記上部誘電体層部分および前記エッチング・ストップ層内にあり、前記接点が前記下部誘電体層部分にあり、前記コンデンサが、前記上部誘電体層部分、前記エッチング・ストップ層および前記下部誘電体層部分のそれぞれにある集積回路デバイス。

【請求項31】 請求項30に記載の集積回路デバイスにおいて、前記金属線が、前記接点より幅が広く、そして、その中に前記コンデンサを有する前記誘電体層の第二部分がほぼ均一の幅を有する集積回路デバイス。

【請求項32】 請求項25に記載の集積回路デバイスにおいて、前記相互接続構造が銅を含む集積回路デバ

ス。

【請求項33】 請求項25に記載の集積回路デバイスにおいて、前記相互接続構造がそれに隣接する銅層およびバリヤ金属層を含む集積回路デバイス。

【請求項34】 請求項33に記載の集積回路デバイスにおいて、前記バリヤ金属層が窒化タンタルを含む集積回路デバイス。

【請求項35】 請求項25に記載の集積回路デバイスにおいて、前記コンデンサの上部および下部金属電極がそれぞれ窒化タンタルを含む集積回路デバイス。

【請求項36】 請求項25に記載の集積回路デバイスにおいて、前記コンデンサの前記上部金属電極が窒化タンタルおよび銅を含み、前記下部金属電極が窒化タンタルを含む集積回路デバイス。

【請求項37】 請求項25に記載の集積回路デバイスにおいて、前記コンデンサ誘電体が、約25以上の誘電率を有する集積回路デバイス。

【請求項38】 請求項25に記載の集積回路デバイスにおいて、前記誘電体層内にコンデンサ接点をさらに含み、前記相互接続構造の金属線と前記コンデンサの下部金属電極とを電気的に接続する集積回路デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路の分野に関し、特にコンデンサを有する集積回路デバイスに関する。

【0002】

【従来の技術、及び、発明が解決しようとする課題】<関連出願>本出願は、1999年1月12日付けの同時係属仮出願第60/115,703号に基づいている。

【0003】コンデンサは、電荷を蓄積するための集積回路(IC)のような半導体デバイスで使用される。ダイナミック・ランダム・アクセス・メモリ(DRAM)のようなICでは、コンデンサは、メモセルに記憶するのに使用される。通常、IC内に形成されるコンデンサは、例えば、多結晶シリコン(ポリシリコン)からできている下部電極と、例えば、五酸化タンタルおよび/またはチタン酸ストロンチウム・バリウムからできている誘電体層と、例えば、窒化チタン、タングステン、プラチナ、またはポリシリコンからできている上部電極とを含む。

【0004】最近では、半導体メモリ・デバイスの開発が進み、より高い記憶密度が求められている。DRAMの記憶素子のコンデンサが占める領域が縮小され、そのため、電極表面の面積が小さくなり、コンデンサの静電容量が減らされることになった。しかし、メモセルを読み取る際に、高い信号対雑音比を達成するには、比較的大容量であることが必要である。従って、素子の寸法を小さくするのは望ましいが、高い静電容量を得ることも望まれる。また、高k誘電体を含むような金属電極コ

ンデンサを使用すれば、寸法を縮小して高い静電容量を得ることが可能である。

【0005】従来的には、半導体デバイスにある2つのコンダクタ間の相互接続は、例えば、第一および第二金属線間の電気接続にはタングステン・プラグのようなプラグ構造を用いて提供されていた。そうした構造には、2つのコンダクタの各々を形成するためのステップと、タングステン・プラグ構造を形成するためのステップを含む3つの別々の処理ステップが必要となる。さらに、導電バリアおよび相互接続のようなメタライゼーション・パターンに、銅および銅合金を使用することに対して、半導体メーカーが強い関心を示している。アルミニウムに比べ、銅は、エレクトロマイグレーション抵抗が良好であり、そして電気抵抗も約 $1.7\Omega\text{cm}$ と比較的低いという利点を両方とも備えている。しかし残念ながら、銅は、エッチングするのが難しい。従って、デュアル・ダマシーン・プロセスは、処理ステップを簡素化し、金属エッチングのステップを省いて、銅の相互接続を形成できるように開発された。デュアル・ダマシーン・プロセスはまた、アルミニウムの相互接続にも使われる。

【0006】デュアル・ダマシーン構造は、下層にあるコンダクタと接触し、従来型の相互接続構造のプラグ構造の機能に取って代わる底面部分またはバリアを有する。デュアル・ダマシーン構造は、また、第二コンダクタの形成にも使われる上面部分または、インレイ・トレンチを有する。デュアル・ダマシーン構造の底面および上面部分は、相互に接触しているため、例えば、銅の同一の導電性材料で、同時に充填することができる。これにより、別々の処理ステップで、プラグ構造および上層にある導電層を形成する必要がなくなった。

【0007】デュアル・ダマシーン・プロセスでは、コンデンサは、普通、第一導電層をデポジットさせ、その間に誘電体を形成し、第二導電層を形成し、その後、層構造のパターンを作り、エッチングすることにより、別々の段階で形成される。導電層は、例えば、ポリシリコンまたは窒化チタンから通常は形成されている。次に、酸化物がコンデンサ上に形成され、その結果、コンデンサ上に表面トポグラフィができあがる。このため、それ以降の層が形成される前に酸化物層を平面化するための化学的機械的研磨(CMP)法が必要となる。

【0008】よって、コンデンサを製造する従来のプロセスでは、CMPステップとともに、導電層のエッチングにより、さらに時間がかかった。また、金属電極、すなわち、金属-絶縁体-金属(MIM)コンデンサを有するコンデンサを形成するなら、必要となる金属エッチングのステップが、デュアル・ダマシーン・プロセスには完全には使用できない。すなわち、上記デュアル・ダマシーン・プロセスは、特に、金属エッチングのプロセスを省くために用いられており、デュアル・ダマシーン

・プロセス中に金属エッチングのステップを用いるということが望ましいことではないのである。

【0009】上記説明から理解できるように、デュアル・ダマシーンにも使用できる高密度金属電極コンデンサの統合が必要となるのである。

【0010】

【課題を解決するための手段】従って、本発明の目的は、上記背景より、デュアル・ダマシーン・プロセスを有し、そして金属電極を有する高密度コンデンサを含む集積回路デバイスの製造方法を提供することである。

【0011】本発明の他の目的は、金属電極を有する高密度コンデンサを含み、デュアル・ダマシーン相互接続構造にも使用できる集積回路デバイスを提供することである。

【0012】本発明による上記および他の目的、特徴および利点は、金属線および接点を含む相互接続構造と、上部および下部金属電極を含むコンデンサとを含む集積回路デバイスの製造方法により提供される。この方法は、半導体基板に隣接する誘電体層を形成し、第一誘電体層における相互接続構造の第一開口部とコンデンサの第二開口部とを同時に形成することを含む。この方法は、第一導体層を選択的にデポジットさせて、第一開口部を充填し、相互接続構造を形成することと、上部および下部金属電極をその間にコンデンサ誘電体を入れた状態で形成し、第二開口部内にコンデンサを形成することとをさらに含む。第一導体層は、第二開口部をマスキングしながら、銅を電気めっきすることにより形成され、また、少なくとも第一開口部を整列させるためのバリヤ金属層とを含む。バリヤ金属層は、好適には、窒化タンタルを含むことが好ましい。

【0013】また、第一開口部および第二開口部を同時に形成するというステップには、第一開口部の上部部分および第二開口部の上部部分を同時に形成し、そして第一開口部の下部部分および第二開口部の下部部分を同時に形成するというステップを含む。加えて、第一開口部の上部部分は、第一開口部の下部部分より幅が広く、第二開口部の上部部分は、第二開口部の下部部分と幅がほぼ同じである。

【0014】誘電体層は、下部電極体層部分と、エッチング・ストップ層と、上部誘電体層部分とから形成されている。従って、第一開口部の上部部分および第二開口部の上部部分は、上記誘電体層部分およびエッチング・ストップ層内で同時に形成される。また、第一開口部の下部部分および第二開口部の下部部分も、下部誘電体層部分で同時に形成される。コンデンサは、少なくとも第二開口部を整列させ、下部金属電極を形成するために下部金属層をデポジットさせることと、下部金属層上にコンデンサ誘電体層を形成することと、コンデンサ誘電体層上に上部金属層をデポジットさせ、上部金属電極を形成することとにより形成される。また、第二導電層は、

第二開口部の残りの部分を充填するために選択的にデポジットさせる。この第二導電層は、好適には、銅を含むことが好ましく、コンデンサの上部および下部金属電極は、窒化タンタルを含むことが好ましい。コンデンサ誘電体は、約25以上の誘電率を有するような高k誘電体である。

【0015】本発明による利点はまた、間に第一および第二開口部を有する半導体基板に隣接する誘電体層と、第一開口部にある相互接続構造で、それに従属する金属線および金属接点を含む構造と、間にコンデンサ誘電体層を有する上部および下部金属電極を含む第二開口部にあるコンデンサとを含む集積回路デバイスによって提供される。コンデンサは、誘電体層の隣接する上部表面部分とはほぼ同一の高さのほぼ平面的な上部表面を有する。また、下部電極およびコンデンサ誘電体層の先端は、コンデンサの上部表面で終わる。

【0016】また、上述された方法において、誘電体層は、下部誘電体層部分と、エッチング・ストップ層と、上部誘電体層部分とを含む。従って、相互接続構造の金属線は、好適には、誘電体層の上部誘電体層部分およびエッチング・ストップ層内にあることが好ましい。そして、好適には、相互接続構造の接点は、誘電体層の下部誘電体層部分内にあることが好ましい。また、コンデンサは、好適には、上部誘電体層部分、エッチング・ストップ層および下部誘電体層部分にあることが好ましい。

【0017】

【発明の実施の形態】本発明については、これ以降、添付の図面を用いてさらに詳しく説明する。これらの図面には、発明の好適な実施形態が示されている。しかし、本発明は、様々に異なった形態で実施されうるものであり、本文中に記載された実施形態にのみ限定されるようにはなっていない。むしろ、これらの実施形態は、本開示が徹底して完全なものとなるように、そして当業者に本発明の範囲を完全に伝えられるよう提供されている。本文中全体を通して類似要素には類似番号が付けられている。層および領域の寸法については、分かりやすくするために、図面では過大表示されることもある。

【0018】図1において、本発明による半導体基板上に形成された相互接続構造22および金属電極コンデンサ24を含む集積回路デバイス20について、これから説明する。半導体基板30は、好適には、シリコンであることが好ましいが、基板上に形成されたシリコンまたはポリシリコン層または構造であってもよい。トランジスタ(図示せず)のような複数のデバイスが、周知の技術を用いて基板30に形成される。集積回路デバイス20は、基板30に隣接する第一誘電体層32を含む。第一誘電体層は、例えば、二酸化シリコン、窒化シリコンのような適当な誘電体から形成され、および/または、所望の誘電率を有する材質または、その合金から形成される。他の適した材質といえば、例えば、五酸化タンタ

ルおよびチタン酸ストロンチウム・バリウムが含まれるが、但し、誘電体が本発明の相互接続構造およびコンデンサの形成に影響を与えない限りとする。

【0019】この第一誘電体層32は、図1に、相互接続34および36とともに示される。第一誘電体層32および相互接続34および36が、集積回路デバイスの下層レベルの一例を示す。デバイス全体を通して、そしてデバイス内の多数の断層レベルにおいて、複数の相互接続レベルおよびバイアが存在することは、当業者には理解することができる。バイアとは、下層にある金属線のある特定の部分を外に出して、電気接点をその線に合わせて整列させることができるように、中間層レベルの誘電体層内に形成された開口部ことである。その後、誘電接点が、下層部の金属線を、その後形成された上層部の金属線と接続するためにバイア内に形成される。

【0020】集積回路デバイス20は、第二誘電体層38および第三誘電体層42をさらに含む。第二および第三誘電体層38および42は、好適には、エッチング・ストップ層40によって分離されていることが望ましい。また、第二および第三誘電体層38および42は、所望の誘電率を有する適当な誘電体から形成される。これについては、当業者には、容易に理解することができる。エッチング・ストップ層40は、通常、従来技術により窒化シリコンから形成され、デポジットされる。

【0021】相互接続構造22は、金属線27および接点26を含む。金属線27は、第三誘電体層42およびエッチング・ストップ層40内に形成される。接点は第二誘電体層38内に形成される。相互接続構造22は、バリア金属層52および金属導電層54を含む。バリア金属層は、例えば、窒化タンタル、窒化チタンあるいは窒化タングステンの任意の適当な金属層から形成されており、金属導電層54から、誘電体層38および42へ、金属が拡散するのを実質的に阻止する。導電金属層54は、好適には、銅であることが好ましいが、例えば、アルミニウムまたはタングステンであってもよい。特に銅の金属層54には、通常、銅シード層（図示せず）が、バリア金属層54上にも形成される。これについては、当業者には容易に理解することができる。

【0022】コンデンサ24は、下部電極44と、誘電体46と、上部電極49とを含む。下部電極44は、例えば、窒化タンタルのような少なくとも1層の導電金属層から形成されている。下部電極44は、図示のように、窒化タンタルから形成されているような2つの金属層52、53を含む。銅シード層（図示せず）は、また、銅が相互接続金属として使われる場合、2つの窒化タンタル層52、53の間に形成される。これについては、当業者には、理解することができる。

【0023】コンデンサ誘電体46は、所望の誘電率を有する、例えば、酸化シリコン、窒化シリコンまたは酸化タンタルのような適当な誘電体材質から形成される。好適には、コンデンサ誘電体46は、所望のコンデンサの特徴を発揮するために、約25以上の誘電率を有していることが好ましい。

【0024】上部電極49は、図示のように、導電金属層48および導電金属層50を含む。導電金属層48は、例えば、窒化タンタルから形成されており、導電金属層50は銅から形成される。もちろん、銅シード層（図示せず）は、これら2つの層48と50との間にある。導電金属層48は、また、金属、例えば、銅が金属導電層50から誘電体46へ拡散するのを阻止するための境界層としての役割を果たす。コンデンサ24は、第三誘電体層42の隣接する上部表面部分とはほぼ同一の高さにあり、ほぼ平面的な上部表面を有する。また、下部金属44電極およびコンデンサ誘電体46の先端は、コンデンサ24の上部表面で終わる。

【0025】上記のように、本発明の集積回路デバイス20は、金属電極44、49を有し、そしてデュアル・ダマシオン構造にも使用でき、統合されている高密度コンデンサ24を提供する。この様に、コンデンサ24は、デュアル・ダマシオン相互接続構造22と同一層レベルに配置される。

【0026】図2-図8において、本発明による半導体基板30上に形成された相互接続構造22および金属電極コンデンサ24を含む集積回路デバイス20を製造するためのデュアル・ダマシオン・プロセスについて、説明する。図2に示すように、半導体基板30が、提供されており、第一誘電体層32は、従来技術を用いて、半導体基板に隣接して形成される。上述のように、半導体基板30は、好適には、シリコンであることが好ましい。

【0027】トランジスタ（図示せず）のような複数のデバイスが、周知の技術を用いて、基板30内に形成される。半導体基板30および他の関連層は、半導体ウェーハを形成する。これについては、当業者には周知のことである。第一誘電体層32は、二酸化シリコンおよび他の周知の誘電体からも形成される。もちろん、第一誘電体層32は、デポジットさせたり、生成させたりしてもよい。さらに、第一誘電体層32は、相互接続34および36を含む。相互接続34および36は、第一誘電体層32にエッチングされている、トレンチの中に、例えば、アルミニウムおよび／または銅のような導電金属をデポジットさせることによって形成される。第一誘電体層32、相互接続34および36については、集積回路デバイスの下層にある一つの断層を一例として図示する。

【0028】第二誘電体層38は、第一誘電体層32、相互接続34および36に隣接して形成される。エッチング・ストップ層40は、図示のように、第二酸化物層

PAT-NO: JP02000208745A
DOCUMENT-IDENTIFIER: JP 2000208745 A
TITLE: DUAL **DAMASCENE** MUTUAL CONNECTION STRUCTURE,
INTEGRATED
CAPACITOR, AND ITS CIRCUIT DEVICE HAVING METAL ELECTRODE
MANUFACTURE
PUBN-DATE: July 28, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
CHUN-YUN, SAN	N/A
ALLEN, EN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
LUCENT TECHNOL INC	N/A

APPL-NO: JP2000006225

APPL-DATE: January 12, 2000

PRIORITY-DATA: 99115703 (January 12, 1999) , 99383806 (August 26, 1999)

INT-CL (IPC): H01L027/108, H01L021/8242 , H01L021/3205 , H01L027/04
, H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To allow use for a dual **damascene** as well by filling a first opening part, forming a mutual connection structure, forming upper part and lower part metal electrodes with a capacitor dielectrics inserted between them, and **forming a capacitor** in a second opening part.

SOLUTION: A capacitor 24 comprises a lower part electrode 44, dielectrics 46, and upper part electrode 49. The lower part electrode 44 is

formed of at least one layer of conductive metal layer such as tantalum nitride, comprising two metal layers 52 and 53. The upper part electrode 49 comprises a conductive metal layer 48 and conductive metal layer 50. The conductive metal, layer 48 is formed of tantalum nitride while the conductive metal layer 50 is formed of copper. The conductive metal layer 48 acts as a border layer which prevents the copper from diffusing into the dielectrics 46 from the metal conductive layer 50. The capacitor 24 is at the height almost identical with the adjoining upper-part surface of a third dielectrics layer 42, while comprising an almost flat upper surface.

COPYRIGHT: (C) 2000, JPO